

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-269509

(43)Date of publication of application : 14.10.1997

(51)Int.Cl.

G02F 1/136
G02F 1/1343
H01L 29/786

(21)Application number : 08-077662

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 29.03.1996

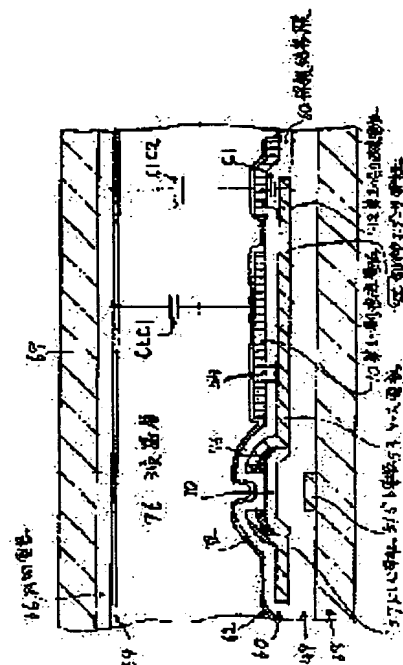
(72)Inventor : YASUKAWA MASAHIRO

(54) LIQUID CRYSTAL DISPLAY ELEMENT AND ITS PRODUCTION

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal display element capable of improving the visual angle characteristic, etc., of a liquid crystal panel with a simple process and a process for producing the same.

SOLUTION: This liquid crystal display element includes first and second sub-pixel electrodes 10, 12 and a first control capacitor electrode 20 which is formed below a protective insulating film 60 and is connected to a source electrode. A control capacitor C1 is formed by the second sub-pixel electrode 12 and the first control capacitor electrode 20 via the protective insulating film 60. The visual angle characteristic of the liquid crystal panel is improved by disposing the control capacitor C1 in such a manner. Further, the increase of process stages is prevented by forming the first control capacitor electrode 20 of a source electrode. The protective insulating film 60 is formed thinner than a gate insulating film 49 and, therefore, the area of the control capacitor electrode is minimized and the opening rate, etc., are improved.



LEGAL STATUS

[Date of request for examination] 16.12.2002

[Date of sending the examiner's decision of rejection] 24.11.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2004-25990

[Date of requesting appeal against examiner's decision of rejection] 21.12.2004

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

This Page Blank (usps,

特開平9-269509

(43) 公開日 平成9年(1997)10月14日

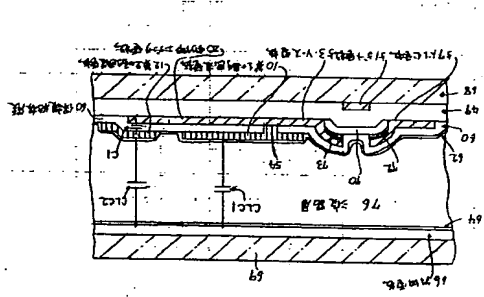
(5) Int.Cl. ⁸				特許庁		技術分野	
				P I		技術分野	
G 0 2 F	1/136	1/136	5 0 0	H 0 1 L	29/78	5 0 0	5 0 0
H 0 1 L	29/786	1/1343	6 1 2 C	H 0 1 L	29/78	6 1 2 C	6 1 2 C

審査請求 未請求 請求項の数12 O L (全 14 頁)

(21) 出願番号	特開平9-77082	(71) 出願人	00002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22) 出願日	平成8年(1996)3月29日	(72) 発明者	安川 昌宏 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(74) 代理人	弁護士 鈴木 喜三郎 (外1名)

(54) [発明の名称] 液晶表示素子及びその製造方法

(57) [要約]
【課題】 簡易なプロセスで液晶パネルの視角特性等を改善できる液晶表示素子およびその製造方法を提供すること。
【解決手段】 第1、第2の副画素電極10、12と、保護絶縁膜60の下方に設けられ、ソース電極と接続している第1の制御コンデンサ電極20と、を含む。保護絶縁膜60を介して第2の副画素電極12と第1の制御コンデンサ電極20とにより制御コンデンサC1が形成される。制御コンデンサC1を設けることにより、液晶パネルの視角特性が向上する。さらに第1の制御コンデンサ電極20をソース電極で形成する事により、プロセス工工程の増加を防止する。また保護絶縁膜60はゲート絶縁膜49より薄くできるため、制御コンデンサ電極を見小面積化でき、開口率を向上できる。



【特許請求の範囲】

【請求項1】 障壁トランジスタと、障壁トランジスタに接続され、対向電極との間に封入される液晶層を駆動する画素電極と、を少なくとも含む液晶表示素子であって、
前記障壁電極を分割し形成された第1～第N (Nは2以上の整数) の副画素電極と、
前記障壁トランジスタのソース電極を保護するための保護絶縁膜の下方に設けられる第1～第 (K-1) (Kは正数であり、2<K≤N) の制御コンデンサ電極と、
前記第1～第Nの副画素電極と前記第1～第 (K-1) の制御コンデンサ電極との間に、前記保護絶縁膜を介して形成される、第1～第 (M-1) (Mは正数であり、2<M≤N) の制御コンデンサと、を含むことを特徴とする素子において、
前記第1～第 (K-1) の制御コンデンサ電極の少なくとも一部が、前記障壁トランジスタのソース電極と接続されてなることを特徴とする液晶表示素子。
【請求項2】 請求項1に記載の液晶表示素子において、
前記第1～第 (K-1) の制御コンデンサ電極の少なくとも一部が、前記保護絶縁膜に形成されたコンタクトホールを介して、第 (L-1) (Lは正数であり、1<L≤N) の副画素電極と接続されてなることを特徴とする液晶表示素子。
【請求項3】 請求項1又は2に記載の液晶表示素子において、
前記第1～第 (K-1) の制御コンデンサ電極の少なくとも一部が、前記第1～第 (M-1) の制御コンデンサのいずれかと接続されてなることを特徴とする液晶表示素子。
【請求項4】 請求項1乃至3のいずれかに記載の液晶表示素子において、
前記第1～第 (K-1) の制御コンデンサ電極の少なくとも一部が、前記第1～第 (M-1) の制御コンデンサのいずれかと接続されてなることを特徴とする液晶表示素子。
【請求項5】 請求項1乃至4のいずれかに記載の液晶表示素子において、
前記第1～第 (K-1) の制御コンデンサ電極の少なくとも一部が、透明導電材料で形成されてなることを特徴とする液晶表示素子。
【請求項6】 請求項1乃至5のいずれかに記載の液晶表示素子において、
前記保護絶縁膜の単位面積当たりの容量が、前記障壁トランジスタのゲート電極の単位面積当たりの容量の位置面積当たりの容量よりも大きいことを特徴とする液晶表示素子。
【請求項7】 請求項1乃至6のいずれかに記載の液晶表示素子において、
前記第1～第 (K-1) の制御コンデンサ電極の少なくとも一部が、遮光層となるブラックマトリクスの一部に

なることを特徴とする液晶表示素子。
【請求項8】 障壁トランジスタと、障壁トランジスタに接続され、対向電極との間に封入される液晶層を駆動する画素電極と、を少なくとも含む液晶表示素子の製造方法であって、
(A) 前記障壁トランジスタのソース電極、ドレイン電極および第1～第 (K-1) の制御コンデンサ電極を形成する工程と、
(B) 前記ソース電極および前記制御コンデンサ電極の上方に、前記障壁トランジスタもしくは前記制御コンデンサ電極を保護するための保護絶縁膜を形成する工程と、
(C) 前記画素電極を分割し形成された第1～第Nの副画素電極を形成する工程と、を含む、
前記工程 (A) ～ (C) により、前記保護絶縁膜を介して、第1～第Nの副画素電極と第1～第 (K-1) の制御コンデンサ電極との間に、第1～第 (M-1) の制御コンデンサを形成することを特徴とする液晶表示素子の製造方法。
【請求項9】 請求項8に記載の液晶表示素子の製造方法において、
前記第1～第 (K-1) の制御コンデンサ電極の少なくとも一部を、前記ソース電極と同一工程により形成することを特徴とする液晶表示素子の製造方法。
【請求項10】 請求項8又は9に記載の液晶表示素子の製造方法において、
前記第1～第 (K-1) の制御コンデンサ電極の少なくとも一部を、前記ソース電極の形成と前記保護絶縁膜の形成との間に形成することを特徴とする液晶表示素子の製造方法。
【請求項11】 請求項8乃至10のいずれかに記載の液晶表示素子の製造方法において、
前記工程 (B) と前記工程 (C) の間において、第1～第 (K-1) の制御コンデンサ電極の少なくとも一部もしくはソース電極と、第1～第Nの副画素電極の少なくとも一部との間にコンタクトホールを形成する工程を含むことを特徴とする液晶表示素子の製造方法。
【請求項12】 請求項8乃至11のいずれかに記載の液晶表示素子の製造方法において、前記工程 (B) において、前記保護絶縁膜の単位面積当たりの容量が、前記障壁トランジスタのゲート電極の単位面積当たりの容量の位置面積当たりの容量より大きくなるように形成する事を特徴とする液晶表示素子の製造方法。
【発明の詳細な説明】
【0001】
【発明の属する技術分野】 本発明は液晶表示素子に関する。特に画素電極が複数に分割された液晶表示素子に関する。また、本発明は、このような液晶表示素子の製造方法に関する。
【0002】

より、液晶層76を誘電体とした液晶コンデンサCLC1が形成され、第2の副画素電極12と対向電極66とにより、液晶コンデンサCLC2が形成される。

[10026] 図3に、本実施例の等価回路図を示す。TFT56のソース電極である端子Bには液晶コンデンサCLC1が接続される。さらに端子Bには、制御コンデンサC1及び液晶コンデンサCLC2が直列接続される。走査線50が選択されTFT56がオンした場合は、端子Eの電圧をVEとした場合、CLC1にはこのVEがそのまま印加される。一方、端子Fの電圧は、C1、CLC2により容量分割されるため、CLC2には $V_F = V_E \times C1 / (C1 + CLC2)$ の電圧が印加される。このようにCLC1に印加される電圧VEと、CLC2に印加されるVFを異ならせることで、CLC1、CLC2の傾域にある液晶の透過率を異ならせることが可能になる。これによりこれらの液晶層の視覚特性を異ならせることができ、これらの異なる視覚特性が互いに補間し合うことで、1画面全体（あるいは液晶パネル全体）の視覚特性を向上させる。[10027] 本実施例の特徴は、まず保護絶縁層60を誘電体として制御コンデンサC1を形成した点にある。これに対して特開平6-102537等の従来例として、図4に平面的構成を示す。また図5に図4のA-B断面図を示す。この時、従来例ではゲート絶縁層49を常ゲート絶縁層は基本的にピンホールの形成による画素配線の防止のために厚くする必要があり、絶縁層の厚が増加すると、単位面積当たりの容量が小さくなるため制御コンデンサ電極420の面積（第2副画素電極12）の互な面積を大きくする必要性が生じ、これにより開口率等が悪化する。これに対し、本実施例では保護絶縁層60を誘電体として使用している。従って、単位面積当たりの容量を大きくすることが可能になり、制御コンデンサ電極20の面積を小さくできる。保護絶縁層の目的は液晶層からの水分等の侵入を防ぐ等であり、ゲート絶縁層の様にピンホールの防止のために厚くする必要が無いためである。

[10028] 次に、図6(A)～(E)に本実施例の製造プロセスを説明するための工程断面図について示す。まずガラス基板（例えば、無アルカリ基板もしくは下地絶縁層付無アルカリ基板）68上に、スパッタリング及びフォトリソングによって、例えば500～2000Å（タンタル）、Al（アルミニウム）、Mo（モリブデン）、Ti（チタニウム）もしくはこれらの合金等からなるゲート電極51を形成する（図6(A)）。熱CVD法により、シリコン窒化膜SiNxを材料とするゲート絶縁層49、真性シリコン膜70、n型シリコン膜71を連続的に形成し、フォトリソングにより70、71

をアイランド化する（図6(B)）。この場合、ゲート絶縁層49、真性シリコン膜70、n型シリコン膜71の厚さは、各々、例えば2000～4000Å、200～500Å、500～3000Å、200～500Å、500～3000Å程度になる。またゲート絶縁層49は、シリコン窒化膜SiNxの下に例えば500～1500Å程度の厚さのシリコン酸化膜SiOxを敷けても良いし、TaもしくはAlもしくはこれらの合金等の熱もしくは焼結酸化膜からなる、TaOxやAlOxを500～2000Å程度の厚さで敷ける構成としても良い。またこれらの酸化膜を敷ける場合にはシリコン窒化膜を1000～4000Å程度に厚くしても良い。

[10030] 次に、例えばCr、Ta、Al、Mo、Tiもしくはこれらの合金等からなる1000～2000Å程度の厚さのソース電極53、ドレイン電極55、制御コンデンサ電極20を、スパッタリング及びフォトリソングで形成し、更にn型シリコン膜72、73を分離しソース・ドレイン分離を行う。（図6(C)）このように本実施例ではソース電極53等と、制御コンデンサ電極20とを同一材料で形成している。従って制御コンデンサを生成するための新たな製造工程を追加する必要がなく、低コスト化が図れる。なおソース・ドレインの分離領域にエッチストップ（E/S）を敷ける手法を採用しても良い。

[10031] 次にソース電極53等の保護膜となる保護絶縁層60を形成する（図6(D)）。この保護絶縁層60は、例えば500～3000Å程度の厚さで形成され、望ましくは水分受容効果の向上のために1000～3000Å程度の厚さで形成され、望ましくはこれら合金のスパッタ膜、さらにはAl、Taもしくはこれらの合金の陽極酸化膜等で形成される。このように保護絶縁層60の厚さは、ゲート絶縁層46よりも薄くすることが可能な場合には、制御コンデンサC1（図2参照）の単位面積当たりの容量を大きくでき、これにより開口率の向上を図れる。

[10032] 次にコンタクトホール54を、例えば制御コンデンサ電極20とソース電極53との間、もしくは制御コンデンサ電極20の延長上に開口し、例えばITO（酸化インジウム）膜等からなる500～2000Å（酸化インジウム）膜の厚さの第1、第2の副画素電極10、12を、スパッタリング及びフォトリソング法にて形成する（図6(E)）。その後、図2に示すように、配向膜62を形成する。そして、このように形成されたTFT基板と、ガラス基板69、対向電極66、配向膜64等からなる対向基板とで、液晶層76を封入し、液晶パネルを完成する。

[10033] 本実施例によれば、制御コンデンサ電極20を、透光層となるブラックマトリクスの一部とすることができ、図7には本実施例の制御コンデンサ電極と、ブラックマトリクスとの関係について示す。図7(A)では、例えば向基板に設けられたブラックマトリクス17と、制御コンデンサ電極20とにより、光漏れを防止し、コントラストの向上を図っている。本実施例によれば、上記したように単位面積当たりの制御コンデンサの容量を大きくできるため、第2の副画素電極12と制御コンデンサ電極20とのオーバーラップを小さくできる。従ってこの場においては、本実施例によれば開口率等の向上が図れる。なお、図7(B)に示すように、制御コンデンサ電極20を完全に覆うようにブラックマトリクス18を設けても良いし、ブラックマトリクスをTFT基板側に設ける構成にしても構わない。

[10034] また本実施例によれば、単位面積当たりの制御コンデンサの容量を大きくでき、制御コンデンサ電極20の面積を小さくできる。図8には本実施例の信号線と制御コンデンサ電極との関係を示す。本実施例では、第2の副画素電極12に接続する制御コンデンサ電極20の面積を小さくすることが可能になる。そしてこのように構成すると、図8のCに示す距離、即ち制御コンデンサ電極20と信号線52との間の距離を短くすることが可能になる。制御コンデンサ電極20はソース電極53の延長上に形成され、信号線52と同じ材料で形成されている。従って、本実施例は、例えば従来例の5-289108のように、ゲート電極を制御コンデンサ電極に使用する例と比べても、電極と配線間の距離が広い場合、ゴミの付着等を原因とした製造不良を著しく減少する。即ち、本実施例によれば制御コンデンサ電極20の面積を小さくできるため、距離Cを大きくでき、ゴミ等の付着を原因とする製造不良を低減できる。これに対し、図4の様にゲート金属を制御コンデンサ電極に用いた場合には制御コンデンサ電極と走査線50との距離Dが極めて近いめに上記のような製造不良は問題になる。

[10035] 2. 第2の実施例
図9は、第2の実施例の平面的構成を示す図であり、図10は、図9のA-B断面を示す図である。[10036] 第1の実施例と異なるのは、制御コンデンサ電極20に透明導膜として例えばITO膜を500～2000Å程度の厚さで形成している点にある。従って、本実施例では第1の実施例に比べて開口率が増加する利点がある。

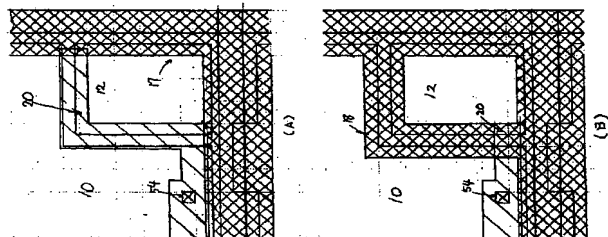
[10037] また本実施例において、制御コンデンサ電極20上では対向電極66との間に液晶層76と保護絶縁層60が形成されている。従って、制御コンデンサ電極20上には液晶層76及び保護絶縁層60を新電体とした、CLC3及びC2が形成される。これにより第2の実施例の等価回路としては図11に示すようにな

る。本実施例ではたとえCLC2=CCLC3になるように設定しても、C1≠C2にすることが可能であるため、TFT56がオンした場合の端子Eの電圧をVEとする。このVEと端子Fの電圧VF、端子Gの電圧VGと、CLC2、CLC3の傾域にある液晶層の透過率を異ならすことができ、これらの液晶層の視覚特性を異ならすことが可能になる。そして、これらの異なる視覚特性が互いに補間し合うことにより、1画面全体（あるいは液晶パネル全体）の視覚特性を向上させる。このように本実施例では、第1の実施例と同様に制御コンデンサ容量を小さくし、開口率の向上を行い1画面全体の透過率の向上を行うとともに、さらに視覚特性の向上も可能になる。

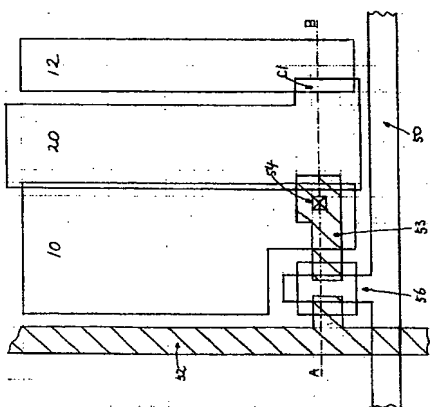
[10038] また、本実施例においても、例えばブラックマトリクスの一部として制御コンデンサ電極20もしくはその一部を併せてくることが、また光漏れの防止のための電極として使用し、コントラストの向上をはかることも可能である。

[10039] 3. 第3の実施例
図12は第3の実施例の平面的構成について示しており、図13は、図12のA-B断面を示す図である。[10040] 第1、第2の実施例と異なるのは、制御コンデンサ電極20に新たに第3の副画素電極15が設けられ、制御コンデンサC4が形成される点である。これにより、この実施例における等価回路は図14に示すようになる。この時、制御コンデンサ電極と副画素電極間のオーバーラップ面積を小さくすることによって、制御コンデンサC1及び制御コンデンサC4の値を変化させ、端子Eの電圧VEと端子Fの電圧VFと端子Iの電圧VIを異ならすことができる。これによりCLC1、CLC2、CLC5の傾域にある液晶層の透過率を異ならすことができ、これらの液晶層の視覚特性を異ならすことができる。そして、これらの異なる視覚特性が互いに補間しあうことで、1画面全体あるいは液晶パネル全体の視覚特性を第1、第2の実施例に比べてさらに向上させる。

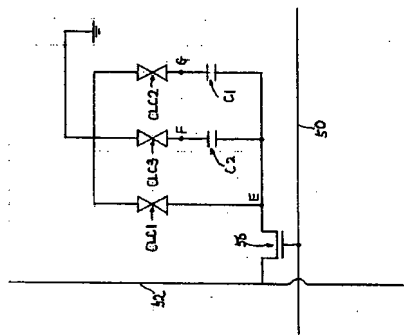
[10041] この図12、13、14には画素電極を3分割する場合の例が示されるが、4分割以上にすることも可能である。即ち、本実施例によれば、画素電極を第1～第N（Nは2以上の整数、1<K≤N）の制御コンデンサ電極を設けることができる。そしてこれら第1～第（K-1）の制御コンデンサ電極と第1～第Nの副画素電極間に、第1～第（M-1）の制御コンデンサを保護絶縁層を介して形成することができ、そしてこ



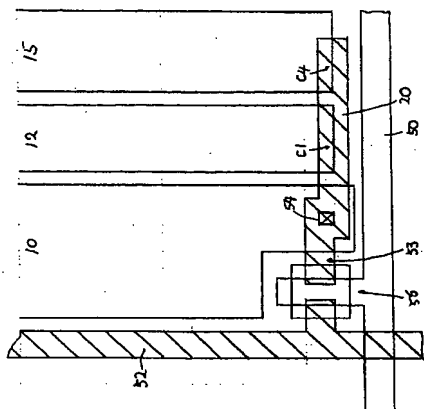
【图9】



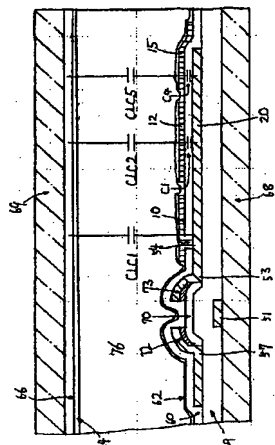
【图 11】



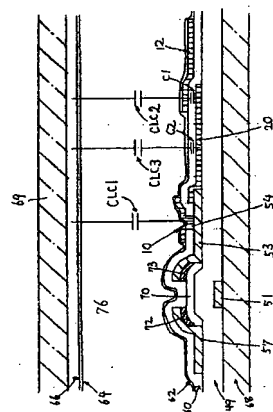
【图12】



【图 13】



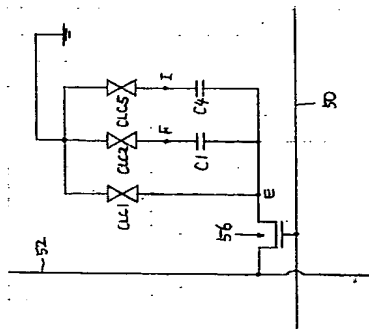
【圖10】



(13)

特開平9-269509

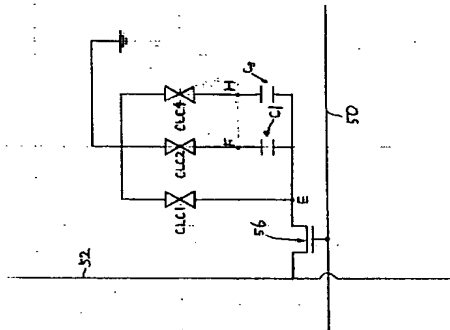
【図14】



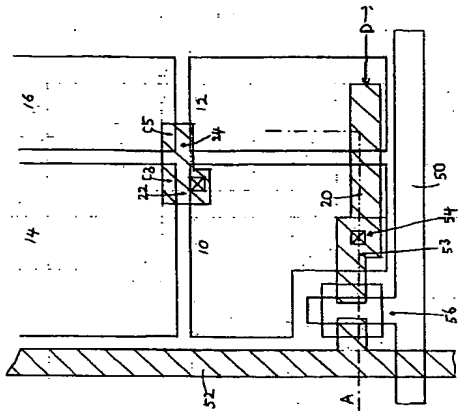
(14)

特開平9-269509

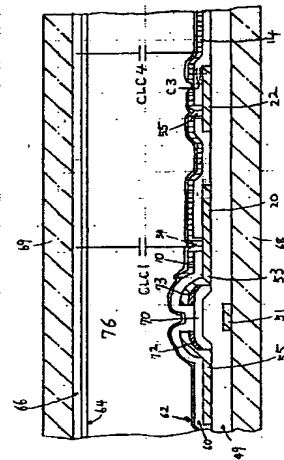
【図17】



【図18】



【図16】



This Page Blank (uspio)